

⑫ 公開特許公報 (A) 昭62-23228

⑬ Int. Cl.
H 03 K 17/60

識別記号

府内整理番号
7105-5J

⑭ 公開 昭和62年(1987)1月31日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 駆動回路

⑯ 特願 昭60-163348

⑰ 出願 昭60(1985)7月23日

⑱ 発明者 西村 浩一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

駆動回路

2. 特許請求の範囲

入力信号を与える入力端子に接続されるベース及び第1の電圧源端子に接続されるエミッタを有する第1のトランジスタと、接地端子に接続されたエミッタ及び第1の出力端子に接続されたコレクタを有し、前記第1のトランジスタと逆極性を有する第2のトランジスタと、前記第1の電圧源と逆極性の電圧を有する第2の電圧源端子に接続されたエミッタ及び第2の出力端子に接続されたコレクタを有し、前記第1のトランジスタと逆極性を有する第3のトランジスタと、前記第1のトランジスタに接続された共通端子、前記第2のトランジスタのベースに抵抗を介して接続された入力端子及び前記第3のトランジスタのベースに接続された出力端子を有し、前記入力端子の電流値

と前記出力端子の電流値との間に比例関係を有するカレントミラー回路と、前記第2のトランジスタのベースと前記カレントミラー回路の入力端子とを接続し前記第2及び第3のトランジスタのベース電流値を決定する前記抵抗とを含むことを特徴とする駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は駆動回路に関し、特にアナログ回路・論理回路等を駆動する駆動回路に関する。

(従来の技術)

従来のこの種の駆動回路は、第3図に示したように、ベースを入力端子 T₁₁ に、エミッタを正電位の電圧源端子 T₁₄ に、コレクタを抵抗 R₁₁ の一端に接続された PNPトランジスタ Q₁₁ と、ベースを抵抗 R₁₁ の他端に接続されたカレントホッピング防止用の抵抗 R₁₂ の一端に、エミッタを接地端子 T₁₅ に、コレクタを出力端子 T₁₂ に接続された NPNトランジスタ Q₁₂ と、ベースを抵抗 R₁₁

の他端に接続されたカレントホッギング防止用の抵抗 R_{12} の一端に、エミッタを負電位の電圧源端子 T_{16} IC、コレクタを出力端子 T_{13} IC接続されたNPNトランジスタ Q_{13} とを含み、NPNトランジスタ Q_{11} のベースに接続された入力端子 T_{11} ICに入力を与え、NPNトランジスタ Q_{12} 及び Q_{13} のコレクタに夫々接続された出力端子 T_{12} 及び T_{13} から出力を得るよう構成されていた。

[発明が解決しようとする問題点]

第3図に示した従来の駆動回路においては、NPNトランジスタ Q_{12} 及び Q_{13} によるカレントホッギングを阻止するためには夫々のベースに接続されたカレントホッギング防止用の抵抗 R_{12} 及び R_{13} の抵抗値を十分大きくしてこの抵抗 R_{12} 及び R_{13} による電圧降下を十分大きくする必要がある。集積回路において抵抗値の大きい抵抗を実現することはチップ上の面積の増大を招くことになり、集積度を低下させるという欠点があった。またNPNトランジスタ Q_{13} のエミッタに接続された負電圧の電圧源端子 T_{16} ICに加えられる負電圧値

がNPNトランジスタ Q_{12} のエミッタベースブレークダウン電圧を越えると正常に動作しなくなるという欠点もあった。更にNPNトランジスタ Q_{12} 及び Q_{13} のコレクタ電流に応じて、夫々のベースに供給するドライブ電流を適度に設定することが望ましいが、これを実現することは、前記カレントホッギング防止用の抵抗 R_{12} 及び R_{13} の抵抗値の比率を変更することになりカレントホッギング防止上からは望ましくないという欠点もあった。

[問題点を解決するための手段]

本発明の駆動回路は入力信号を与える入力端子に接続されるベース及び第1の電圧源端子に接続されるエミッタを有する第1のトランジスタと、接地端子に接続されたコレクタを有し、前記第1のトランジスタと逆極性を有する第2のトランジスタと、前記第1の電圧源と逆極性の電圧を有する第2の電圧源端子に接続されたエミッタ及び第2の出力端子に接続されたコレクタを有し、前記第1のトランジスタと逆極性を有する第3のトランジスタ

クオレグタ
と、前記第1のトランジスタに接続された共通端子、前記第2のトランジスタのベースに抵抗を介して接続された入力端子及び前記第3のトランジスタのベースに接続された出力端子を有し、前記入力端子の電流値と前記出力端子の電流値との間に比例関係を有するカレントミラー回路と、前記第2のトランジスタのベースと前記カレントミラー回路の入力端子とを接続し前記第2及び第3のトランジスタのベース電流値を決定する前記抵抗とを有している。

[実施例]

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す回路図である。第1図において本発明の一実施例は、カレントミラー回路10を有する駆動回路でベースを入力端子 T_1 IC、エミッタを第1の電圧源端子 T_4 IC、コレクタをカレントミラー回路10の共通端子 T_7 IC接続された第1のPNPトランジスタ Q_1 と、ベースを抵抗 R_1 を介してカレントミラー回路10

の入力端子 T_8 IC、エミッタを接地端子 T_9 IC、コレクタを第1の出力端子 T_2 IC接続された第2のNPNトランジスタ Q_2 と、ベースをカレントミラー回路10の出力端子 T_5 IC、エミッタを第2の電圧源端子 T_6 IC、コレクタを第2の出力端子 T_3 IC接続された第3のNPNトランジスタ Q_3 とを含んでいる。

第1の電圧源端子 T_4 には正電圧 $+V$ が、第2の電圧源端子 T_6 には負電圧 $-V$ が供給される。

第2図は本実施例におけるカレントミラー回路(CM)10を示す回路図である。カレントミラー回路10は第2図に示したように2つのPNPトランジスタ Q_4 及び Q_5 より成り、夫々のエミッタは共に共通端子 T_7 IC、夫々のベースとトランジスタ Q_4 のコレクタは共通に入力端子 T_8 IC、トランジスタ Q_5 のコレクタは出力端子 T_5 IC接続されている。入力端子 T_8 の入力電流を I_1 、出力端子 T_5 の出力電流を I_2 とし、トランジスタ Q_4 とトランジスタ Q_5 のエミッタ面積比を $1:K$ とすると次の関係式が得られる。

$$I_B = K I_A \quad \dots \dots (1)$$

第1図において入力端子T₁の入力がローレベルのとき、トランジスタQ₁はオンとなりトランジスタQ₂及びQ₃のベースには夫々カレントミラー回路10のトランジスタQ₄及びQ₅のコレクタ電流I₄及びI₅と同じベース電流I_{B2}及びI_{B3}が流れる。トランジスタQ₂のベース電流値はほど抵抗R₁によって定まりベースーエミッタ間の順バイアス電圧をV_{BE2}とすると

$$I_{B2} = I_4 = \frac{V_C - V_{BE2}}{R_1} \quad \dots \dots (2)$$

となり更に(1)式の関係から

$$I_{B3} = I_5 = K I_{B2} = K \frac{V_C - V_{BE2}}{R_1} \quad \dots \dots (3)$$

となる。

本実施例は(2)式及び(3)式に示したように、駆動回路の出力トランジスタQ₂及びQ₃のコレクタ電流に応じて、抵抗R₁の抵抗値及び前記エミッタ面積比Kの値を定めることにより夫々のベース電流を最適に設定して、効率の良い駆動回路が容易に得られる。

また本実施例は負電圧の電圧源端子T₆にトラ

ンジスタQ₂のエミッタベースブレークダウン電圧を超えた値の負電圧が供給されてもカレントミラー回路10のトランジスタQ₅のコレクターエミッタ逆耐圧で吸収されてトランジスタQ₂のエミッタベースブレークダウンが発生することはない。なお、本実施例では、出力トランジスタが2個の場合を示したがカレントミラー回路の出力を多出力型とし、このカレントミラー回路の出力に夫々対応して出力トランジスタQ₃を複数個設けることも可能である。

更に本実施例では第1図に示したようにP N Pトランジスタに入力しN P Nトランジスタから出力を得る例を示したがこれらのトランジスタを絶て逆極性とし、N P Nトランジスタに入力し、P N Pトランジスタから出力を得るように構成することもできる。

〔発明の効果〕

本発明は以上説明したように、駆動回路をカレントミラー回路を含んで構成したことにより、次のようないくつかの効果が得られる。

- (1) 駆動回路の構成に必要な抵抗はベース電流値を決定する抵抗一本のみで済み、カレントホッギング防止用の抵抗値の大きい抵抗によるチップ面積の増大を来たさない。
- (2) カレントミラー回路のコレクターエミッタ逆耐圧によって、出力トランジスタのエミッターベース間ブレークダウンを防止できる。
- (3) 複数の出力トランジスタのコレクタ電流に応じて、ベース電流を最適に設定して効率の良い駆動回路が容易に実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図はカレントミラー回路を示す回路図、第3図は従来の駆動回路を示す回路図である。

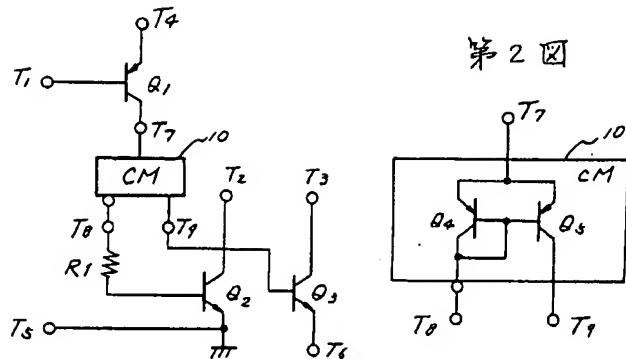
10 ……カレントミラー回路、 Q₁, Q₂, Q₃, Q₄, Q₅ ……トランジスタ、 R₁ ……抵抗、 T₁ ……入力端子、 T₂, T₃ ……出力端子、 T₄, T₅ ……電圧源端子、 T₆ ……接地端子、 T₇ ……カレントミラー回路の共通端子、 T₈ ……カレントミラ

ー回路の入力端子、 T₉ ……カレントミラー回路の出力端子。

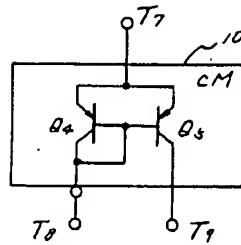
代理人 弁理士 内原

晋

第1図



第2図



第3図

